

|  |  |
| --- | --- |
|  |  |
| **R E P O R T** | |
|  |  |

제목: 논리 회로 및 실험 6주차

과목: 논리 회로 및 실험

날짜(년/월/일): 2018/04/18

소속 학과: 컴퓨터 전자 시스템 공학부

학번: 201702234

이름: 유동혁

|  |
| --- |
| **본 보고서의 내용 중 다른 문서(자료)를 인용한 것이 있습니까?**  **예( ) 아니오( V )** |
| **위에서 ‘예’로 답한 경우, 인용한 다른 문서는 무엇인지 아래에**  **명시해 주세요. (여러 개의 경우 주요 자료 2개 까지)**  **- 저자 1:**  **- 제목 1:**  **- 저자 2:**  **- 제목 2:** |

**논리 회로 및 실험 결과레포트**

**학번: 201702234**

**이름: 유동혁**

1. 실습목표: F1 = x + y’z, F2 = x’y’z + x’yz + xy’를 Verilog HDL로 구현

2. 실습내용:

|  |
| --- |
| Verilog 소스 코드 |
| module bool\_Kmap(  X, Y, Z,  F1, F2  );  input X, Y, Z;  output F1, F2;  assign F1 = X | ((~Y)&Z); //F1 = x + y'z  assign F2 = ((~X)&Z) | (X&(~Y)); //F2 = x'y'z + x'yz + xy'  endmodule |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x | y | z | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

3. 실습결과:

|  |  |
| --- | --- |
| 000 | 001 |
|  |  |
| 010 | 011 |
|  |  |
| 100 | 101 |
|  |  |
| 110 | 111 |
|  |  |

4. 고찰: 해당 부울 함수가 어떤 output을 보여주는지 알 수 있었다.